

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-063834**

(43)Date of publication of application : **11.04.1984**

(51)Int.Cl.

H04L 7/02

H03K 5/00

(21)Application number : **57-173212**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **04.10.1982**

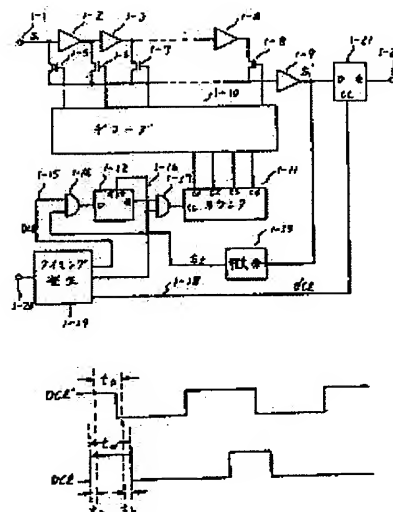
(72)Inventor : **KUWABARA HIROSHI
AMADA EIICHI
SHIRASU HIROTOSHI
SUZUKI TAHEI
MORITA TAKASHI**

(54) CIRCUIT FOR SYNCHRONIZING BIT PHASE

(57)Abstract:

PURPOSE: To omit a timing pulse with high frequency by making it possible to set up delay time variably and setting up the delay time automatically so that the phase relation between an input data signal and a data latch clock is optimized.

CONSTITUTION: In order to receive a data signal with a high bit rate, it is necessary that the time t_D of a data latch clock pulse is completely included in the time t_W of a data latch window pulse. Therefore, a reference pulse C is delayed, a data latch window pulse DCI is formed and then a data latch clock pulse DCI' is formed by the AND between the reference clock and the data latch window pulse DCI. The time length of t_D is expanded/compressed by the delay characteristic of the logical gate constituting an FF1-21.



⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—63834

⑨ Int. Cl.³
H 04 L 7/02
H 03 K 5/00

識別記号
庁内整理番号
Z 7608—5K
7232—5J

⑬ 公開 昭和59年(1984)4月11日
発明の数 1
審査請求 未請求

(全 6 頁)

⑭ ビット位相同期回路

⑯ 特 願 昭57—173212
⑯ 出 願 昭57(1982)10月4日
⑯ 発 明 者 桑原弘
国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内
⑯ 発 明 者 天田栄一
国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内
⑯ 発 明 者 白須宏俊

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内
⑯ 発 明 者 鈴木太平
横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
⑯ 発 明 者 森田隆士
横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
⑯ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑯ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 ビット位相同期回路

特許請求の範囲

1. 入力データ・ラッチ・クロック・パルスに対
して、ビット・レートは一致しているが、位相
は種々のずれを有する入力データ信号を正しく
ラッチするため、該クロック・パルスと入力デ
ータ信号との位相関係を調整するビット位相同
期回路において、遅延時間を可変設定可能な遅
延回路と、遅延回路で遅延した入力データ信号
の論理レベル変化時点を示すパルスを発生する
回路と、上記変化点を示すパルスと、入力デー
タ・ラッチ・クロック・パルスのデータラッチ
期間を示すタイミングパルスとの“AND”論理
を行なうAND回路と、上記AND回路の出力
パルスのパルス幅を判定し、パルス幅がしきい
値よりも大きい場合に、上記パルスをラッチす
るラッチ回路と、上記ラッチ回路にパルスがラ
ッチされたことにより、遅延回路の遅延時間を
切り替える制御回路とより構成されるビット位

相同期回路。

発明の詳細な説明

〔発明の利用分野〕

本発明はビット位相同期回路、更に詳しく言え
ばシステムの基準クロックと、ビットレートは合
っているが、位相は調整されていない入力デー
タを受信するための最適位相を自動的に求めるのに
好適なビット位相同期回路の構成に関する。

〔従来技術〕

例えば、時分割交換機のハイウェイ・スイッチ
等において、入力ハイウェイ・データの取り込み、
ハイウェイ間あるいは、タイム・スロット間のデ
ータのスイッチング、および出力ハイウェイへの
データの送出等のデータ操作は基準ビット・クロ
ックに同期して行なわれるのが通常の構成である。
この際、複数の入力ハイウェイから入ってくるデ
ータは、基準クロックとビット・レートは厳密に
一致しているが位相は種々のずれを持っている。
これは入力ハイウェイ・データを出力しているブ
ロックも、このハイウェイ・スイッチと同じクロ

特開昭59-63834(2)

ック源から得た基準クロックで動作している構成を通常とるのでビットレートはハイウェイ・スイッチの基準クロックと一致しているが、位相は、ケーブル長の差による伝播遅延時間の差や、送出時の論理回路の段数の差等の原因で、入力ハイウェイ毎に異なつた位相で入力されるためである。ハイウェイ・スイッチの入力端子で、ハイウェイ・データを正しく受信するためには、ハイウェイ・データとデータ・ラッチ・クロックとは適正な位相関係にある必要がある。

従来の装置では、このような適正な位相関係を維持するため、ビットレートを低く抑えるか、あるいはビットレートを高くするためには、ブロック間の布線長や信号伝送論理回路の段数等、システム設計条件に制限を加える必要があつた。

このような困難を除去するためにビット位相同期回路が各種考案されている。例えば、「同期網におけるビット位相同期回路の一構成法」林伸二他、昭和55年度電子通信学会総合全国大会、あるいは「Line Variation Compensation

ある。

〔発明の概要〕

入力データ信号と基準ビット・クロックあるいはデータ・ラッチ・クロックとの位相関係を調整することは、入力データ信号を1ビット分の時間長以下で適当な長さの遅延時間を持つ遅延回路を通すことにより可能である。しかし遅延回路は市販のTTL ICやLSIの中の論理ゲート等を用いて構成すると、遅延時間の設計中心値からのバラッキ(偏差)が大きく、また最遅遅延量が入力データ信号線の線長や、前段回路の構成により異なるため、あらかじめ遅延時間を一定値に設定することは不可能である。

この困難を避けるため、本発明は遅延時間を可変設定可能な遅延回路と、この遅延時間を、入力データ信号とデータ・ラッチ・クロックとの位相関係が最適になるように自動設定する制御回路とを設ける。これによつて、遅延回路の遅延時間のバラッキに影響されず、かつ、1ビット分の時間間隔をさらに細かい区間に分割するクロック・パ

System For Synchronized PCM Digital Switching」Satyan G. Pitroda, US Patent 3,839,599 等に述べられているビット位相同期方式がそれである。これらの方式はデータ・ビットレートよりも高い周波数のクロックを用いて、1ビット分の期間をさらに細分化してデータの変化点が細分化されたどの区間にあるかを判定し、データ・ラッチのための最適位相を決定する方式である。これらの方式では、ビットクロックの数倍のクロックを必要とし、さらにそれらのクロックを相互の時間関係を保持して分配することも必要である。一般にビット位相同期はクロック・レートが高い場合に必要となるが、そのクロックレートよりもさらに高いクロックが必要となることは、システム設計をさらに困難にする。

〔発明の目的〕

本発明の目的は、ビット・クロック・レートよりも高いクロックを使用することなく、かつLSIに時分割スイッチ等と共にオン・チップで構成するに適したビット位相同期回路を提供することに

ルスを用いることなくビット位相同期回路を構成したものである。

〔発明の実施例〕

以下、本発明を実施例によつて詳細に説明する。第1図は本発明によるビット位相同期回路の一実施例の回路図、第2図は第1図の回路の動作タイミング図を示す。

第1図において1-1はデータ信号入力端子、1-2, 1-3, 1-4等は全体で入力データを単位時間だけ遅延させる回路、1-5, 1-6, 1-7, 1-8等は、上記各遅延回路の出力を波形整形回路1-9の入力へ接続するゲート回路、1-10は前記ゲート回路の導通・不導通を制御する信号を発生するデコーダ回路、1-11は上記デコーダ回路1-10への入力信号を発生するカウンタ回路で、クロック(CL)端子の入力パルスを計数して、計数結果をC1, C2, C3, C4の4ビットに出力する4ビットカウンタ。1-12はパルス幅判定及びパルス・ラッチ回路でD端子よりの入力パルスのパルス幅を判定し、し

特開昭59-63834(3)

きい値以上の幅の場合、入力端子Dからのパルス入力をラッチし、Q端子に出力する回路、1-13は波形整形回路1-9の出力のデータ信号の論理レベル変化点を表示する微分回路、1-14は微分回路1-13の出力と、タイミング発生回路1-19の出力信号の1つである1-15との論理積をとるANDゲート、1-16もタイミング発生回路1-19の出力信号の1つで、1-12の出力をカウンタ1-11へ導入すると共に1-12をリセットするタイミング信号、1-17は1-12の出力と1-16との論理積をとるANDゲート、1-18はタイミング発生回路の他の出力で、入力データ信号をフリップ・フロップ1-21にラッチするデータ・ラッチクロック・パルス、1-20は基準クロック入力端子、1-22は1-21にラッチされた入力データ信号を出力する出力端子である。

次に第2図を用いて、第1図の回路動作を説明する。

最初、カウンタ1-11がリセットされていて、

図の遅延データ信号Sとずれば、データ・ラッチ・クロックパルスの1Dの期間と、データ信号のレベル変化点とが時間的に重ならなくなるので、データ・ラッチができる。

第2図に示した遅延データ信号S'を作る最適遅延量決定の制御回路について次に述べる。

まず、タイミング発生回路1-19により、第2図に示す、データ・ラッチ窓パルスDC_Lを作る。このパルスは第1図のタイミング発生回路1-19の内部で作られて出力線の1つである1-15に出力されるパルスで、データラッチ・クロック・パルスの1Dの期間を完全に含み、入力端子1-20から入力される基準クロックから、データ・ラッチ・クロック・パルスと共に、論理組合回路により作られる。

データ・ラッチ窓パルスDC_Lと微分回路1-13の出力である入力データ・エッジパルスS₂とはANDゲート1-14により論理積をとられて、フリップフロップ(ラッチ回路)1-12のD端子へ入力される。ラッチ回路1-12はD端

デコーダ1-10への入力C₁、C₂、C₃、C₄が全て"LOW"レベルの場合、ゲート1-5が開き、端子1-1の入力データ信号S₁は遅延なしに1-9に現われる。第2図の入力データ信号S₁は1-9の出力信号を示し、入力データ・エッジ・パルスS₂は微分回路1-13の出力信号を示す。

リード1-18上の信号は、第2図のデータラッチ・クロック・パルスDC_L'、DC_L(基準クロック)である。このクロック・パルスでデータS₁をラッチするためには、例えば、クロックパルスが"高"から"低"になるエッジの前後の一定期間1Dの間、データ信号のレベルは安定している必要がある。第2図に例示した時間関係では、入力データ信号のレベル変化時点t₁は、データ・ラッチ・クロック・パルスの1Dと重なっているためデータ信号は正しくラッチできない。そこで、ゲート1-5を閉じて、ゲート1-6~1-8の中の適当なゲートを開き1-2~1-4の遅延回路により入力データ信号を遅延させて、第2

子からの入力パルスのパルス幅が、あらかじめ定められたしきい値を超えているとラッチしてQ端子の出力レベルが高くなる。タイミング発生回路1-19の出力1-16は、データラッチ・クロック・パルスDC_L(出力線1-18に発生)と同期した適当なタイミング・パルスで、例えば、入力データ信号がPCMハイウェイ信号ならば、1サンプリング周期を示すフレーム・パルス等である。

1-12のQ端子が"高"であると、1-16のフレーム・パルスにより、ANDゲート1-17に出力パルスが生じ、カウンタ1-11は"1"カウントアップされると同時に1-12もリセットされる。この結果デコーダ1-10の出力信号も切り替り、例えば、カウント・アップ以前にゲート1-5が開いていたとすると、カウントアップ以後は1-5は閉じて、1-6が開き、入力データ信号に入る遅延回路が一つ増加する。

以上のべた制御動作は1-16のパルスが発生する毎にくり返され、データ・ラッチ窓パルス

DC ℓ と遅延データエッジパルスS ℓ との論理積がとれない時間関係になるまで続く。第2図に示すように、遅延データエッジパルスS ℓ と、データラッチ窓パルスDC ℓ との論理積がとれなくなると1-12はリセットされたままとなり、カウンタ1-11をカウント・アップするCL端子入力は発生しなくなるので、カウンタ出力およびデコーダ出力は固定される。この状態では、データ・ラッチ・クロック・パルスの1Dの期間に1-9の出力である遅延データ信号のレベル変化は起らないので、データ・ラッチ・フリップ・フロップ1-21は正しくデータをラッチできる。

以上説明した実施例では、カウンタのビット数を4ビットした。従つてデコーダ1-10の出力信号の数は16本となり、遅延回路1-2~1-4の数は15となる。15回路の遅延時間の合計が入力データ信号の1ビット分の時間長を超えている必要があるので、1-2~1-4の各回路の1回路当りの遅延時間を t_L とすると、

$$15 t_L \geq t_C \quad \dots \dots \dots (1)$$

$$t_r = 20 \text{ ns}$$

$$t_w = t_D + t_a + t_b$$

$$= 5 + 10 + 10 = 25 \text{ ns}$$

さらに、タイミングパルスの時間関係の設定誤差等で30 nsのマージンを見込むと(2)式から

$$122 \text{ ns} - 20 \text{ ns} - 25 \text{ ns} - 30 \text{ ns}$$

$$= 47 \text{ ns} \gg t_{LMAX}$$

今、 t_L の設計中心値を17 nsとし、バラツキを-50%から+100%まで見込むと、

$$8.5 \text{ ns} \leq t_L \leq 34 \text{ ns}$$

となる。これは、回路のLSI化等において遅延回路の遅延時間設計値許容偏差として妥当な値である。カウンタのビット数を4ビット以上に設定すれば、カウンタやデコーダのハード量は増加すれば、 t_L の値はさらに小さく設定でき、偏差も小さく抑えることができる。

また第1図1-12の回路にD端子入力信号のパルス幅判定機能を持たせることは、入力データ信号線上の雑音により発生する疑似微分パルスを除去することに対して効果的である。

特開昭59-63834(4)

なる関係式が必要である。ここで t_{Lmin} は t_L の値のバラツキの最小値、 t_C は第2図に示すように入力データ信号の1ビット分の時間長である。

次に t_L の最大値 t_{LMAX} は

$$t_C - t_r - t_w \gg t_{LMAX} \quad \dots \dots \dots (2)$$

なる関係式を満足する必要がある。これは遅延時間を少しずつ増加させることにより、データ信号の安定している時点を見出すために必要な遅延時間長切替ステップの細かさを規定する。

ここで t_w は第2図のデータラッチ窓パルスDC ℓ のパルス幅、 t_r は入力データ信号のトランジエント時間である。

一例として入力データ信号のビットレートを8.192 Mb/sとして、 t_L に許容される変動範囲を求める。 $t_C = 122 \text{ ns}$ であるから(1)式より

$$15 \times t_{Lmin} \geq 122 \text{ ns}$$

$$t_{Lmin} \geq 8.5 \text{ ns}$$

t_r 、 t_w の値については、市販のTTL論理IC等一般に使用される論理回路の性能から推定して妥当な値として、

以上の実施例の説明から明らかなように、本発明による構成では、ビット・クロックよりも高い周波数のクロックは不要であるが、回路動作が良好に行なわれるためには、第2図におけるデータ・ラッチ・クロックパルスの1Dが、データ・ラッチ窓パルスの t_w の時間内に完全に含まれていることが必要である。

このためには、例えば第3図に示すように端子1-20より入力される基準パルスC ℓ を、遅延させて、データ・ラッチ窓パルスDC ℓ を作り、さらに基準クロックと、データ・ラッチ窓パルスとの論理積によつてデータ・ラッチ・クロック・パルスDC ℓ' を作ればよい。第4図はこれらのパルスを発生するためのタイミング発生回路1-19の1部分を構成する回路を例示する。第4図の動作は、第3図と信号名を対照すれば明らかである。

データ・ラッチ・クロック・パルスの1Dの時間長は、フリップ・フロップ1-21を構成する論理ゲートの遅延特性により伸び縮みする。この時、データラッチ、窓パルスの t_w も同様に伸び

特開昭59-63834(5)

縮みすれば両者の時間関係に不都合が生じない。

回路全体のLSI化を行なう際、第4図に示した論理ゲートとフリップ・フロップ1-21とをLSI内の近接した領域に形成すれば、デバイス特性、温度、および電源電圧ともに条件が揃うので、 t_D と t_W との時間関係が保証できる。

〔発明の効果〕

以上、説明したように、本発明によれば、高ビット・レートのデータ信号を受信するための、ビット位相同期回路を構成するにあつて、ビット・クロックよりも高い周波数のタイミング・パルスを必要とせず、遅延回路の遅延時間バラツキを、遅延回路をLSI化可能な程度、許容できる効果がある。

図面の簡単な説明

第1図は、本発明の一実施例を示す回路図、第2図、第3図は、第1図の動作を説明するための動作タイム・チャート図、第4図は他の実施例におけるタイミング発生回路の部分構成を示す図である。

1-1…データ入力端子、1-2, 1-3, 1-4…遅延回路、1-5, 1-6, 1-7, 1-8…ゲート回路、1-9…波形整形回路、1-10…デコーダ回路、1-11…カウンタ回路、1-12…パルス幅判定及びパルス・ラッチ回路、1-13…データ信号の論理レベル微分回路、1-14…“AND”ゲート、1-15…データ・ラッチ窓パルス出力リード、1-16…カウンタのカウントアップおよび1-12のリセット・タイミング・パルス出力リード、1-17…“AND”ゲート、1-18…入力データ信号ラッチ・クロック出力リード、1-19…タイミング発生回路、1-20…基準クロック入力端子、1-21…入力データ信号ラッチ用フリップ・フロップ、1-22…ラッチ入力データ信号出力端子、 t_r …入力データ信号トランジエント時間、 t_c …入力データ信号の1ビット分の時間長、 t_D …データラッチ可能な時間区間および時間長、 t_W …データ・ラッチ窓パルスのパルス幅、 t_a … t_W の t_D に対する前縁余裕マージン、 t_b … t_W の t_D に

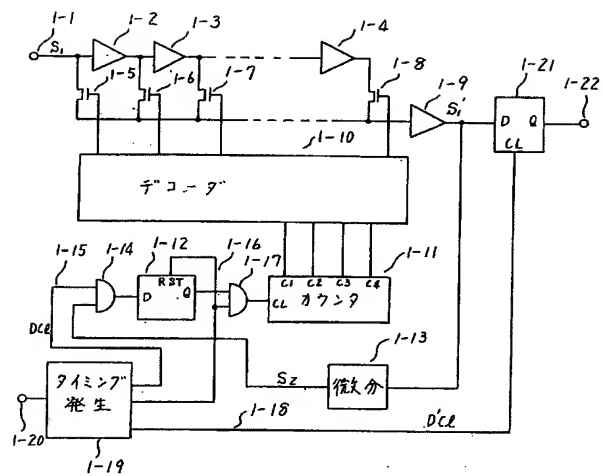
対する後縁余裕マージン。

代理人 弁理士 薄田利幸

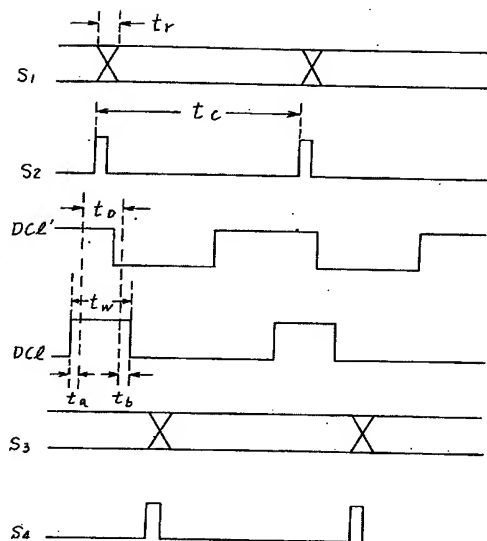


特開昭59-63834(6)

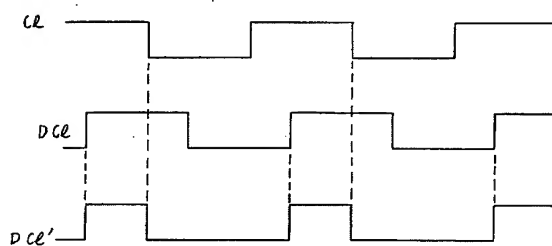
第 1 図



第 2 図



第 3 図



第 4 図

